

Docket No.: 60188-597

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
:
Hiroyuki YAMAUCHI :
:
Serial No.: : Group Art Unit:
:
Filed: July 22, 2003 : Examiner:
:
For: SEMICONDUCTOR MEMORY DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-214822, filed July 24, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mlw
Facsimile: (202) 756-8087
Date: July 22, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-597
Hiroynuki YAMAUCHI
et al.

July 22, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月24日

出 願 番 号

Application Number:

特願2002-214822

[ST.10/C]:

[JP 2002-214822]

出 願 人

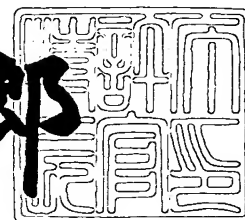
Applicant(s):

松下電器産業株式会社

2003年 6月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045989

【書類名】 特許願

【整理番号】 5037630100

【提出日】 平成14年 7月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/34

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 山内 寛行

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

 【識別番号】 100110939

 【弁理士】

 【氏名又は名称】 竹内 宏

【選任した代理人】

 【識別番号】 100110940

 【弁理士】

 【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ装置及び半導体集積回路

【特許請求の範囲】

【請求項 1】 複数のメモリセルと、

前記複数のメモリセルの中から特定のメモリセルのデータにアクセスするために選択される複数のワード線及び複数のビット線と、

前記複数のメモリセルのデータのハイ側の電位を与える電源と、

前記複数のワード線に電位を与えるワード線電位供給源と、

前記複数のビット線にプリチャージ電位を与えるプリチャージ電位供給源とを備えた半導体メモリ装置において、

前記プリチャージ電位供給源が前記複数のビット線のうち非選択ビット線に供給するプリチャージ電位は、前記電源の電圧よりも低い電位に設定され、

前記ワード線電位供給源が前記複数のワード線のうち非選択ワード線に供給する電位は、所定の負電位に設定され、

且つ、前記プリチャージ電位供給源による非選択ビット線のプリチャージ電位と前記ワード線電位供給源による非選択ワード線の電位との絶対値の合計値は、前記電源の電圧値未満に設定される

ことを特徴とする半導体メモリ装置。

【請求項 2】 前記プリチャージ電位供給源が供給する非選択ビット線のプリチャージ電位は、前記電源の電圧の半分値未満の電圧値に設定される

ことを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 3】 前記プリチャージ電位供給源が前記複数のビット線のうち選択ビット線に供給するプリチャージ電位は、前記プリチャージ電位供給源が前記非選択ビット線に供給するプリチャージ電位よりも高く、且つ前記電源の電圧の半分値以上の電圧値に設定される

ことを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 4】 複数のメモリセルと、

前記複数のメモリセルの中から特定のメモリセルのデータにアクセスするために選択される複数のワード線及び複数のビット線と、

前記複数のメモリセルのデータのハイ側の電位を与える電源と、
 前記複数のメモリセルのデータのロウ側の電位を与える複数のソース線と、
 前記複数のワード線に電位を与えるワード線電位供給源と、
 前記複数のビット線にプリチャージ電位を与えるプリチャージ電位供給源と、
 前記複数のソース線に電位を与えるソース電位供給源とを備えた半導体メモリ装置において、

前記プリチャージ電位供給源が前記複数のビット線のうち非選択ビット線に供給するプリチャージ電位は、前記電源の電圧よりも低い電位に設定され、

前記ワード線電位供給源が前記複数のワード線のうち非選択ワード線に供給する電位は、所定の負電位に設定され、

前記ソース電位供給源が前記複数のソース線のうち非選択ソース線に供給する電位は、所定の正電位に設定され、

且つ、前記プリチャージ電位供給源による非選択ビット線のプリチャージ電位と前記ワード線電位供給源による非選択ワード線の電位との絶対値の合計値は、前記電源の電圧値未満に設定され、

前記ワード線電位供給源による非選択ワード線の電位の絶対値と前記ソース電位供給源による非選択ソース線の電位の絶対値とは、相互にほぼ等しい電位に設定される

ことを特徴とする半導体メモリ装置。

【請求項 5】 ロウ系のアドレスを受けて、前記複数のワード線のうち何れか 1 本を選択するロウデコード回路を備え、

前記複数のソース線の選択、非選択は、前記ロウ系のアドレスに基づいて行われる

ことを特徴とする請求項 4 記載の半導体メモリ装置。

【請求項 6】 カラム系のアドレスを受けて、前記複数のビット線のうち何れか 1 対を選択するカラムデコード回路を備え、

前記複数のソース線の選択、非選択は、前記カラム系のアドレスに基づいて行われる

ことを特徴とする請求項 4 記載の半導体メモリ装置。

【請求項 7】 前記複数のメモリセルを構成するトランジスタは、常温において、単位ゲート幅当たりのオフリーク電流とゲートリーク電流との電流量の差が 2 桁以内の差であるトランジスタにより構成される

ことを特徴とする請求項 1 又は請求項 4 記載の半導体メモリ装置。

【請求項 8】 前記電源の電圧は、0.5 V～1.2 V の電圧値である
ことを特徴とする請求項 1 又は請求項 4 記載の半導体メモリ装置。

【請求項 9】 前記ワード線電位供給源が非選択ワード線に供給する負電位は、周囲温度に応じて変更される

ことを特徴とする請求項 1 又は請求項 4 記載の半導体メモリ装置。

【請求項 10】 前記ワード線電位供給源が非選択ワード線に供給する負電位の絶対値は、高温時の方が常温時よりも大値である

ことを特徴とする請求項 9 記載の半導体メモリ装置。

【請求項 11】 前記ソース電位供給源が非選択ソース線に供給する正電位は、周囲温度に応じて変更される

ことを特徴とする請求項 4 記載の半導体メモリ装置。

【請求項 12】 前記ソース電位供給源が非選択ソース線に供給する正電位は、高温時の方が常温時よりも大値である

ことを特徴とする請求項 11 記載の半導体メモリ装置。

【請求項 13】 半導体メモリ装置は、通常動作モードと待機モードとを持つ携帯機器に使用され、

周囲温度に応じた電位の変更は、前記携帯機器の通常動作モードと待機モード別に行われる

ことを特徴とする請求項 9、10、11 又は 12 記載の半導体メモリ装置。

【請求項 14】 複数のメモリセル、前記複数のメモリセルの中から特定のメモリセルのデータにアクセスするために選択される複数のワード線及び複数のビット線、前記複数のワード線のうち何れかを選択するデコード回路、及び、前記デコード回路の出力を受けて選択ワード線を駆動するワード線駆動回路とを有する半導体メモリと、

低閾値電圧のトランジスタ及び高閾値電圧のトランジスタを有する半導体回路

とを備えた半導体集積回路であって、

前記半導体メモリのデコード回路は、ソース線が接地電位に接続されたトランジスタを有し、前記トランジスタは前記半導体回路が有する低閾値電圧のトランジスタと同種の低閾値電圧のトランジスタで構成され、

前記半導体メモリのワード線駆動回路は、前記ワード線の電位をプルダウンするソース線が負電位の供給線に接続されたプルダウントランジスタを有し、前記プルダウントランジスタは前記半導体回路が有する高閾値電圧のトランジスタと同種の高閾値電圧のトランジスタを有する

ことを特徴とする半導体集積回路。

【請求項 1 5】 前記ワード線駆動回路のプルダウントランジスタの高閾値電圧の絶対値は、前記負電位の供給線の電位の絶対値と等しい又は大値である

ことを特徴とする請求項 1 4 記載の半導体集積回路。

【請求項 1 6】 前記ワード線駆動回路のプルダウントランジスタは、ソース線が接地線に接続された低閾値電圧のトランジスタと、ソース線が前記負電位の供給線に接続された高閾値電圧のトランジスタとの並列回路により構成される

ことを特徴とする請求項 1 4 記載の半導体集積回路。

【請求項 1 7】 前記半導体回路において、

前記低閾値電圧のトランジスタは、高リーク電流だが高速動作するロジック回路を構成するトランジスタ用として形成されたゲート酸化膜又は閾値調整不純物を有するトランジスタであり、

前記高閾値電圧のトランジスタは、低速動作だが低リーク電流であるロジック回路を構成するトランジスタ用として形成されたゲート酸化膜又は閾値調整不純物を有するトランジスタである

ことを特徴とする請求項 1 4 記載の半導体集積回路。

【請求項 1 8】 前記半導体回路において、

前記低閾値電圧のトランジスタは、ロジック回路を構成するトランジスタ用として形成されたゲート酸化膜又は閾値調整不純物を有するトランジスタであり、

前記高閾値電圧のトランジスタは、アナログ回路又は I / O 回路を構成するト

ランジスタ用として形成されたゲート酸化膜又は閾値調整不純物を有するトランジスタである

ことを特徴とする請求項 1 4 記載の半導体集積回路。

【請求項 1 9】 前記半導体メモリ及び前記半導体回路に供給される電源電圧は、0.5 V～1.2 V の電圧値である

ことを特徴とする請求項 1 4 記載の半導体集積回路。

【請求項 2 0】 半導体メモリ装置は S R A M である

ことを特徴とする請求項 1、請求項 2、請求項 3 又は請求項 4 記載の半導体メモリ装置。

【請求項 2 1】 半導体メモリ装置は R O M である

ことを特徴とする請求項 1、請求項 2 又は請求項 3 記載の半導体メモリ装置。

【請求項 2 2】 請求項 1 又は請求項 4 記載の半導体メモリ装置と、

低閾値電圧のトランジスタ及び高閾値電圧のトランジスタを有する半導体回路とを備えた半導体集積回路であって、

前記半導体メモリ装置のワード線電位供給源が非選択ワード線に供給する負電位の絶対値は、前記半導体回路のトランジスタの高閾値電圧の絶対値と等しい又は小値である

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体メモリ装置単体、及びこの半導体メモリ装置を含む半導体集積回路に関し、特に、電源電圧が 1.2 V 以下の低電圧で動作し、デザインルールも 0.13 μ m 以降の高集積及び高密度デバイスを用いた場合に、トランジスタのリーク電流を有効に削減する技術に関する。

【0 0 0 2】

【従来の技術】

一般に、半導体メモリ装置を低電圧下でも高速動作させるために、その構成トランジスタとして低閾値電圧のトランジスタを用いる技術が採用されている。

【 0 0 0 3 】

このような状況の下では、低閾値電圧のトランジスタにおいて、そのオフ時であっても、ソース-ドレイン間に大きなオフリーク電流が流れる問題が顕在化する。この問題に対処するように、従来では、例えば、ワード線を負電圧に設定したり、ソース電位を正電位の方向にシフトすることにより、トランジスタに実効的に負のバイアスを印加して、オフリーク電流を少なく制限していた。

【 0 0 0 4 】

【発明が解決しようとする課題】

しかしながら、ワード線に大きな負電圧を印加したり、ソース電位を正電位側にシフトする技術は、デバイスの電圧に対する耐性が十分ある場合には、副作用がなく、有効な技術であるが、デバイスが微細化して、ゲート酸化膜の厚みが2ナノメートルよりも薄くなってくると、トンネル電流に起因するゲートリークの問題が顕在化し始める。前記従来提案されていた負電圧ワード線駆動技術やソース線オフセット技術は、ゲート-ソース間電位差を大きくしてしまう技術であるため、オフリーク電流は抑制できても、このゲートリーク電流を増大させる課題がある。

【 0 0 0 5 】

また、デバイスの微細化はトランジスタのゲート-ドレイン間の電界を高くし、このため、ゲートとドレイン間に大きな電位差が印加されると生ずるGIDL (Gate-Induced Drain Leakage) リーク電流の問題も顕在化し始める。前記従来の負電圧ワード線駆動技術等は、更にこのGIDLリーク電流の問題を誘発するため、この新たなリーク電流をも抑制できない課題がある。

【 0 0 0 6 】

特に、問題であるのは、ビット線からのリーク電流であって、データ読み出し動作では、プリチャージしたビット線の電位がセル電流によって引き抜かれるか否かを判定している関係上、セル電流に対して無視できないレベルのリーク電流がビット線に存在する場合には、セル電流かリーク電流かの識別が困難になり、データ読み出しまでの時間を長く要したり、データの誤読み出しとなる課題があ

る。

【0007】

本発明の目的は、前記した課題に鑑み、オフリーク電流を有効に制限しながら、更にゲートリーク電流やGIDLリーク電流をも小さく制限することにある。

【0008】

【課題を解決するための手段】

以上の目的を達成するため、本発明では、半導体メモリ装置において、非選択ワード線の負電位の設定と、非選択ビット線のプリチャージ電位の設定とを、オフリーク電流とゲートリーク電流とGIDL電流との三者を考慮して適切に設定する。また、メモリセルのソース線の電位も適切に設定する。

【0009】

すなわち、請求項1記載の発明の半導体メモリ装置は、複数のメモリセルと、前記複数のメモリセルの中から特定のメモリセルのデータにアクセスするために選択される複数のワード線及び複数のビット線と、前記複数のメモリセルのデータのハイ側の電位を与える電源と、前記複数のワード線に電位を与えるワード線電位供給源と、前記複数のビット線にプリチャージ電位を与えるプリチャージ電位供給源とを備えた半導体メモリ装置において、前記プリチャージ電位供給源が前記複数のビット線のうち非選択ビット線に供給するプリチャージ電位は、前記電源の電圧よりも低い電位に設定され、前記ワード線電位供給源が前記複数のワード線のうち非選択ワード線に供給する電位は、所定の負電位に設定され、且つ、前記プリチャージ電位供給源による非選択ビット線のプリチャージ電位と前記ワード線電位供給源による非選択ワード線の電位との絶対値の合計値は、前記電源の電圧値未満に設定されることを特徴とする。

【0010】

請求項2記載の発明は、前記請求項1記載の半導体メモリ装置において、前記プリチャージ電位供給源が供給する非選択ビット線のプリチャージ電位は、前記電源の電圧の半分値未満の電圧値に設定されることを特徴とする。

【0011】

請求項3記載の発明は、前記請求項1記載の半導体メモリ装置において、前記

プリチャージ電位供給源が前記複数のビット線のうち選択ビット線に供給するプリチャージ電位は、前記プリチャージ電位供給源が前記非選択ビット線に供給するプリチャージ電位よりも高く、且つ前記電源の電圧の半分値以上の電圧値に設定されることを特徴とする。

【 0 0 1 2 】

請求項 4 記載の発明の半導体メモリ装置は、複数のメモリセルと、前記複数のメモリセルの中から特定のメモリセルのデータにアクセスするために選択される複数のワード線及び複数のビット線と、前記複数のメモリセルのデータのハイ側の電位を与える電源と、前記複数のメモリセルのデータのロウ側の電位を与える複数のソース線と、前記複数のワード線に電位を与えるワード線電位供給源と、前記複数のビット線にプリチャージ電位を与えるプリチャージ電位供給源と、前記複数のソース線に電位を与えるソース電位供給源とを備えた半導体メモリ装置において、前記プリチャージ電位供給源が前記複数のビット線のうち非選択ビット線に供給するプリチャージ電位は、前記電源の電圧よりも低い電位に設定され、前記ワード線電位供給源が前記複数のワード線のうち非選択ワード線に供給する電位は、所定の負電位に設定され、前記ソース電位供給源が前記複数のソース線のうち非選択ソース線に供給する電位は、所定の正電位に設定され、且つ、前記プリチャージ電位供給源による非選択ビット線のプリチャージ電位と前記ワード線電位供給源による非選択ワード線の電位との絶対値の合計値は、前記電源の電圧値未満に設定され、前記ワード線電位供給源による非選択ワード線の電位の絶対値と前記ソース電位供給源による非選択ソース線の電位の絶対値とは、相互にほぼ等しい電位に設定されることを特徴とする。

【 0 0 1 3 】

請求項 5 記載の発明は、前記請求項 4 記載の半導体メモリ装置において、ロウ系のアドレスを受けて、前記複数のワード線のうち何れか 1 本を選択するロウデコード回路を備え、前記複数のソース線の選択、非選択は、前記ロウ系のアドレスに基づいて行われることを特徴とする。

【 0 0 1 4 】

請求項 6 記載の発明は、前記請求項 4 記載の半導体メモリ装置において、カラ

ム系のアドレスを受けて、前記複数のビット線のうち何れか1対を選択するコラムデコード回路を備え、前記複数のソース線の選択、非選択は、前記コラム系のアドレスに基づいて行われることを特徴とする。

【0015】

請求項7記載の発明は、前記請求項1又は請求項4記載の半導体メモリ装置において、前記複数のメモリセルを構成するトランジスタは、常温において、単位ゲート幅当たりのオフリーク電流とゲートリーク電流との電流量の差が2桁以内の差であるトランジスタにより構成されることを特徴とする。

【0016】

請求項8記載の発明は、前記請求項1又は請求項4記載の半導体メモリ装置において、前記電源の電圧は、0.5V～1.2Vの電圧値であることを特徴とする。

【0017】

請求項9記載の発明は、前記請求項1又は請求項4記載の半導体メモリ装置において、前記ワード線電位供給源が非選択ワード線に供給する負電位は、周囲温度に応じて変更されることを特徴とする。

【0018】

請求項10記載の発明は、前記請求項9記載の半導体メモリ装置において、前記ワード線電位供給源が非選択ワード線に供給する負電位の絶対値は、高温時の方が常温時よりも大値であることを特徴とする。

【0019】

請求項11記載の発明は、前記請求項4記載の半導体メモリ装置において、前記ソース電位供給源が非選択ソース線に供給する正電位は、周囲温度に応じて変更されることを特徴とする。

【0020】

請求項12記載の発明は、前記請求項11記載の半導体メモリ装置において、前記ソース電位供給源が非選択ソース線に供給する正電位は、高温時の方が常温時よりも大値であることを特徴とする。

【0021】

請求項 1 3 記載の発明は、前記請求項 9、1 0、1 1 又は 1 2 記載の半導体メモリ装置において、半導体メモリ装置は、通常動作モードと待機モードとを持つ携帯機器に使用され、周囲温度に応じた電位の変更は、前記携帯機器の通常動作モードと待機モード別に行われることを特徴とする。

【 0 0 2 2 】

請求項 1 4 記載の発明の半導体集積回路は、複数のメモリセル、前記複数のメモリセルの中から特定のメモリセルのデータにアクセスするために選択される複数のワード線及び複数のビット線、前記複数のワード線のうち何れかを選択するデコード回路、及び、前記デコード回路の出力を受けて選択ワード線を駆動するワード線駆動回路とを有する半導体メモリと、低閾値電圧のトランジスタ及び高閾値電圧のトランジスタを有する半導体回路とを備えた半導体集積回路であって、前記半導体メモリのデコード回路は、ソース線が接地電位に接続されたトランジスタを有し、前記トランジスタは前記半導体回路が有する低閾値電圧のトランジスタと同種の低閾値電圧のトランジスタで構成され、前記半導体メモリのワード線駆動回路は、前記ワード線の電位をプルダウンするソース線が負電位の供給線に接続されたプルダウントランジスタを有し、前記プルダウントランジスタは前記半導体回路が有する高閾値電圧のトランジスタと同種の高閾値電圧のトランジスタを有することを特徴とする。

【 0 0 2 3 】

請求項 1 5 記載の発明は、前記請求項 1 4 記載の半導体集積回路において、前記ワード線駆動回路のプルダウントランジスタの高閾値電圧の絶対値は、前記負電位の供給線の電位の絶対値と等しい又は大値であることを特徴とする。

【 0 0 2 4 】

請求項 1 6 記載の発明は、前記請求項 1 4 記載の半導体集積回路において、前記ワード線駆動回路のプルダウントランジスタは、ソース線が接地線に接続された低閾値電圧のトランジスタと、ソース線が前記負電位の供給線に接続された高閾値電圧のトランジスタとの並列回路により構成されることを特徴とする。

【 0 0 2 5 】

請求項 1 7 記載の発明は、前記請求項 1 4 記載の半導体集積回路において、前

記半導体回路において、前記低閾値電圧のトランジスタは、高リーク電流だが高速動作するロジック回路を構成するトランジスタ用として形成されたゲート酸化膜又は閾値調整不純物を有するトランジスタであり、前記高閾値電圧のトランジスタは、低速動作だが低リーク電流であるロジック回路を構成するトランジスタ用として形成されたゲート酸化膜又は閾値調整不純物を有するトランジスタであることを特徴とする。

【 0 0 2 6 】

請求項 1 8 記載の発明は、前記請求項 1 4 記載の半導体集積回路において、前記半導体回路において、前記低閾値電圧のトランジスタは、ロジック回路を構成するトランジスタ用として形成されたゲート酸化膜又は閾値調整不純物を有するトランジスタであり、前記高閾値電圧のトランジスタは、アナログ回路又は I / O 回路を構成するトランジスタ用として形成されたゲート酸化膜又は閾値調整不純物を有するトランジスタであることを特徴とする。

【 0 0 2 7 】

請求項 1 9 記載の発明は、前記請求項 1 4 記載の半導体集積回路において、前記半導体メモリ及び前記半導体回路に供給される電源電圧は、0. 5 V ~ 1. 2 V の電圧値であることを特徴とする。

【 0 0 2 8 】

請求項 2 0 記載の発明は、前記請求項 1、請求項 2、請求項 3 又は請求項 4 記載の半導体メモリ装置において、半導体メモリ装置は S R A M であることを特徴とする。

【 0 0 2 9 】

請求項 2 1 記載の発明は、前記請求項 1、請求項 2 又は請求項 3 記載の半導体メモリ装置において、半導体メモリ装置は R O M であることを特徴とする。

【 0 0 3 0 】

請求項 2 2 記載の発明の半導体集積回路は、請求項 1 又は請求項 4 記載の半導体メモリ装置と、低閾値電圧のトランジスタ及び高閾値電圧のトランジスタを有する半導体回路とを備えた半導体集積回路であって、前記半導体メモリ装置のワード線電位供給源が非選択ワード線に供給する負電位の絶対値は、前記半導体回

路のトランジスタの高閾値電圧の絶対値と等しい又は小値であることを特徴とする。

【 0 0 3 1 】

以上により、請求項 1 ～ 1 3、2 0 ～ 2 2 記載の発明では、非選択ビット線のプリチャージ電位が電源電圧未満の低い電位に設定されると共に、非選択ワード線のプルダウン電位は負電位に設定され、更に、前記非選択ビット線のプリチャージ電位と前記非選択ワード線の負電位の絶対値との合計値が、電源の電圧値未満に設定されるので、オフリーク電流を有効に制限しつつ、ゲートリーク電流及び G I D L リーク電流も有効に制限される。従って、プリチャージされたビット線の電荷がゲートリーク電流により若干放電されても、そのゲートリーク電流はデータとしての意味を持つセル電流とは明確に区別されて、データの読み出しが所期通り速く及び正確に行われる。しかも、S R A M における” H ” データを保持している記憶ノードから基板への G I D L リーク電流が若干発生してもセル電流はさほど減少せず、データの読み出しが所期通りに行われる。

【 0 0 3 2 】

特に、請求項 4 記載の発明では、非選択ソース線の電位が非選択ワード線の電位の絶対値とほぼ等しい正電位に設定されるので、この非選択ソース線の電位を接地電位に設定する場合と比較して、オフリーク電流が有効に制限される。

【 0 0 3 3 】

更に、請求項 9 ～ 1 2 記載の発明では、非選択ワード線に供給する負電位や、非選択ソース線に供給する正電位が、半導体メモリ装置の周囲温度に応じて変更されるので、その周囲温度の変化に拘わらず、オフリーク電流、ゲートリーク電流及び G I D L リーク電流が有効に制限される。

【 0 0 3 4 】

加えて、請求項 1 4 ～ 1 9 記載の発明では、非選択ワード線の電位を負電位に設定する場合に、その負電位の絶対値を既述の通り従来に比して小値に設定する場合から、半導体メモリのデコード回路を構成するトランジスタを、元々半導体回路が有する低閾値電圧のトランジスタと同種の低閾値電圧のトランジスタで構成し、前記半導体メモリのワード線駆動回路のプルダウントランジスタを、前記

半導体回路が有する高閾値電圧のトランジスタと同種の高閾値電圧のトランジスタを用いて構成できるので、ワード線駆動回路が、従来のワード線駆動回路と比較して、少ない個数のトランジスタで構成され、レイアウト面積の縮小が図られる。

【 0 0 3 5 】

【発明の実施の形態】

以下、本発明の実施の形態の半導体メモリ装置及び半導体集積回路を図 1 ～ 図 1 2 に基いて説明する。

【 0 0 3 6 】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態の半導体メモリ装置としての S R A M を示す。同図において、C はメモリセルアレイであって、図 2 に示すように、2 個のインバータ回路をフリップフロップ構成に接続した 2 個の N M O S トランジスタ及び 2 個の P M O S トランジスタと、その左右に配置された 2 個のアクセストランジスタ Q 1、Q r を 1 個のメモリセルとして、行方向及び列方向に配置された多数個のメモリセルを備える。前記メモリセルを構成する 2 個のアクセストランジスタ Q 1、Q r は、ゲートリーク電流が多くて、常温において、単位ゲート幅当りのオフリーク電流とゲートリーク電流との電流量の差が 2 桁以内の差である特性を持つトランジスタで構成され、この特性を持つトランジスタ Q 1、Q r が採用される場合に本発明を適用するのが効果的である。

【 0 0 3 7 】

また、図 1 及び図 2 において、5、5 は前記左右のアクセストランジスタ Q 1、Q r を介して記憶ノード s 1、s r に接続された 2 本のビット線であって対をなす。4 は前記アクセストランジスタ Q 1、Q r のゲートに接続されたワード線、V c c はメモリセルに記憶するデータのハイ側の電位を与える電源であって、例えば 0. 5 V ～ 1. 2 V の電源電圧を持つ。更に、6 はメモリセルに記憶したデータのロウ側の電位を与えるソース線である。前記ビット線対 5 はカラム方向に複数対、ワード線 4 はロウ方向に複数本、ソース線 6 は例えばカラム方向に複数本備えられる。

【0038】

また、1はワード線4に負電位 V_{ng} を供給するNWL (negative-word-line) 電圧ソース(ワード線電位供給源)、7は前記NWL電圧ソース1の発生電位 V_{ng} を用いて非選択のワード線4をプルダウンするワード線ドライバ、2はビット線5のプリチャージ電位 V_{pr} を発生する電源HPR (Half- V_{cc} Precharge) 電圧ソース、8はビット線5を前記HPR電圧ソース2のプリチャージ電位 V_{pr} にプリチャージするプリチャージドライバ、3はソース線6の電位 V_{sn} を発生するOSN (Offset-source node) 電圧ソース、9は前記OSN電圧ソース3が発生した電位 V_{sn} でソース線6をドライブするソース線ドライバである。

【0039】

次に、前記NWL電圧ソース1の発生するワード線負電位 V_{ng} 、前記HPR電圧ソース2のプリチャージ電位 V_{pr} 、前記OSN電圧ソース3の発生するソース線電位 V_{sn} 、及びメモリセルの記憶データのハイ側の電位を与える電源 V_{cc} の電源電圧(以下、 V_{cc} と記す)との関係を説明する。図2には、ビット線5へのデータの読み出しに関して影響する代表的な3種のリーク電流、即ち、アクセストランジスタ Q_1 、 Q_r のOFF状態でもソース-ドレイン間に流れるオフリーク電流、ビット線5からワード線4に向けて流れるゲートリーク電流、及びゲートからドレインに誘導されるGIDLリーク電流を示している。

【0040】

前記ゲートリーク電流は、アクセストランジスタ Q_1 、 Q_r のゲート電極に所定の負電位(例えば $-0.5V$)を印加した状態で、ビット線5を所定のプリチャージ電位(例えば $1.0V$)にプリチャージすると、ビット線5からワード線4に向けて流れる電流である。記憶ノードs1にデータ" L (=0v)" が記憶されている側のアクセストランジスタ Q_1 でのオフリーク電流を有効に制限するようにワード線4の電位を大きく負電位に設定すると、ビット線5に接続されたメモリセル(ワード線4により選択されたセルを除く全てのメモリセル(例えば $512-1=511$ 個のメモリセル)では、各々、その非選択ワード線4とビット線5間にゲートリーク電流が流れるため、ビット線5を所定のプリチャージ電

位にプリチャージしたとしても、前記の511箇所のゲートリーク電流に起因してビット線5の電位は大きく降下してしまうことになる。例えば、ビット線5に約1000個のメモリセルが接続されている場合は、1箇所当りのゲートリーク電流がたとえ微小値の100ナノアンペアであったとしても、全体では100マイクロアンペアのゲートリーク電流となる。この合計ゲートリーク電流は、セル電流の予測値（例えば50マイクロアンペア）よりも大きな値であるため、1対のビット線によるデータ読み出しに大きな影響を与え、セル電流との区別が困難となる。

【0041】

更に、前記のゲートリーク電流の存在は、ビット線5からのデータ読み出し以外にも、ワード線4のプルダウン電位 V_{ng} を発生するNWL電圧ソース1の消費電力の増大を招く。具体的に説明すると次の通りである。即ち、ゲートリーク電流は、図3に示すように、ワード線とビット線対（2本のビット線）とのクロスポイント数、即ち、全メモリセルセルの数から選択ワード線に接続されたメモリセル数を引いた数の2倍の数だけ存在するため、例えば512Kビットの場合では、およそ100万個のメモリセルからゲートリーク電流がワード線4を介して前記NWL電圧ソース1に流れ込む。その電流の総和を計算すると、約100ミリアンペア（100ナノアンペア \times 100万個=100ミリアンペア）となり、その結果、前記NWL電圧ソース1では負電位を一定値に保持しようと供給量を増大させるため、消費電力が増大することになる。

【0042】

以上から、本実施の形態では、NWL電圧ソース1による非選択ワード線4の電位を負電位に設定してオフリーク電流を小さく抑制する場合において、更に、メモリセルのアクセストランジスタ Q_1 、 Q_r でのゲートリーク電流に起因するビット線5の電位降下や、それに伴うNWL電圧ソース1での消費電力の増大を有効に抑制するように、HPR電圧ソース2による非選択ビット線5のプリチャージ電位 V_{pr} は、メモリセルのデータのハイ側の電位を設定する電源 V_{cc} よりも低い電位に設定されると共に、このプリチャージ電位 V_{pr} の絶対値と前記ワード線4の負電位の絶対値との合計値は、前記電源 V_{cc} の電圧値未満に設定

される。例えば、本実施の形態では、図 6 に示すように、電源 V_{cc} の電圧が例えば 0.8 V の場合には、非選択ワード線 4 の負電位 V_{ng} は -0.2 V ($= -1/4 V_{cc}$) に、非選択ビット線 5 のプリチャージ電位 V_{pr} は 0.4 V ($= 1/2 V_{cc}$) に設定される。この設定により、ワード線 4 の負電位の絶対値 (0.2 V) と非選択ビット線 5 のプリチャージ電位 V_{pr} の絶対値 (0.4 V) との合計は、 0.6 V であり、電源電圧 V_{cc} ($= 0.8\text{ V}$) よりも低くなる。

【0043】

従って、本実施の形態では、非選択ワード線 4 を負電位に設定して各メモリセルのアクセストランジスタ Q_1 、 Q_r のオフリーク電流を抑制する場合にも、前記の構成により、各メモリセルのアクセストランジスタ Q_1 、 Q_r のゲートリーク電流をも有効に抑制することが可能である。

【0044】

尚、図 6 では、選択ビット線 5 だけは、プリチャージ電位 V_{pr} を電源電圧 V_{cc} ($= 0.8\text{ V}$) に設定している。その理由は、プリチャージ電位 V_{pr} を高く設定して、メモリセル電流を増大させるためである。しかし、プリチャージ電位 V_{pr} を高く設定すると、同時にゲートリーク電流も増大するため、そのゲートリーク電流の大きさに応じてプリチャージ電位 V_{pr} を高くする程度を適切に設定する必要がある。選択ビット線 5 の本数が非選択ビット線 5 の本数に比べて明らかに少ない場合には、選択メモリセルでのゲートリーク電流は無視することができる。しかし、選択ビット線 5 の読み出し電位は低下するので、注意が必要である。本実施の形態では、図 7 に示すように、メモリセル電流を増大させつつゲートリーク電流は小さく抑えるように、非選択ビット線 5 のプリチャージ電位 V_{pr} は $1/2 V_{cc}$ ($= 0.4\text{ V}$) に設定し、選択ビット線 5 のプリチャージ電位 V_{pr} は $3/4 V_{cc}$ ($= 0.6\text{ V}$) に設定される。

【0045】

次に、図 4 において、非選択ワード線 4 の負電位設定と、非選択ビット線 5 のプリチャージ電位の設定と、非選択ソース線 6 の電位設定との三者が、オフリーク電流、ゲートリーク電流及び $GIDL$ リーク電流に及ぼす影響について、説明する。

【 0 0 4 6 】

先ず、非選択ワード線4の負電位設定について、大き過ぎる負電位 ($-V_{cc} \sim -1/2 V_{cc}$) の設定は、極大なゲートリーク電流やGIDLリーク電流を伴う。一方、浅過ぎる負電位の設定 ($-1/6 V_{cc} \sim 0 V$) ではオフリーク電流が極大になる。従って、これら3種のリーク電流を最小にするには、電源電圧 V_{cc} の $1/3 \sim 1/4$ の大きさの負電位 ($-1/3 V_{cc} \sim -1/4 V_{cc}$) に設定する必要があることが判る。本実施の形態では、 $-1/4 V_{cc}$ ($= -0.2 V$) の負電位設定となっている。

【 0 0 4 7 】

次に、非選択ビット線5のプリチャージ電位も、同様に、高電位 (電源電圧 V_{cc} 付近) 又は低電位 ($1/3 V_{cc} \sim 0 V$) に設定すると、メモリセルのハイ側の保持電位 V_{cc} との電位差が大きくなるため、ゲートリーク電流及びGIDLリーク電流が共に大きくなる。一方、中電位 ($1/2 V_{cc}$) のプリチャージ電位に設定すると、ゲートリーク電流及びGIDLリーク電流を共に小値に制限することができる。

【 0 0 4 8 】

このことから、非選択ワード線4については、およそ ($-1/3 V_{cc} \sim -1/4 V_{cc}$) の負電位に設定し、非選択ビット線5については、 $V_{cc}/2$ のプリチャージ電位に設定することが適切な選択であることが判る。

【 0 0 4 9 】

更に、非選択ソース線6の電位設定について、図4に示すように、 $V_{cc}/2$ 以上に高い電位設定では、電源電圧 $V_{cc} < 1.2 V$ の電圧領域で電源電圧 V_{cc} とソース線電位との電位差が小さくなり、メモリセルを構成するインバータのNチャネルトランジスタとPチャネルトランジスタとの閾値電圧の合計値未満となるため、各リーク電流は極小になるが、データ保持が不安定になり、望ましくない。一方、小さ過ぎる電位設定では、オフリーク電流が大きくなり、ビット線5のプリチャージ電位の降下が顕著になる。従って、設定電位は、およそ $V_{cc}/4$ の付近が最適電位であることが判る。以上の検討結果を踏まえて、非選択ソース線6は、図8に示すように、電源電圧 V_{cc} ($= 0.8 V$) に対して $1/$

4 V c c (= 0. 2 V) の電位に設定される。この電位設定は、前記非選択ワード線 4 に設定される負電位 ($-1/4 V c c = -0. 2 V$) の絶対値と相互に等しい電位設定となっている。

【 0 0 5 0 】

前記ソース線 6 の選択、非選択は、図 8 に示すように、ビット線群の選択アドレス、即ち、コラムデコード信号に基いて行っても良いし、図 9 に示すように、ワード線群の選択アドレス、即ち、ロウデコード信号に基いて行っても良い。

【 0 0 5 1 】

尚、オフリーク電流については、1 0 0 m V の電圧変化で電流量が 1 桁異なる関係上、非選択ワード線の負電位設定は、1 0 0 m V の電圧誤差が許容されるものであり、この許容誤差の範囲内での負電位設定が本発明に含まれる。

【 0 0 5 2 】

続いて、前記の 3 種類のリーク電流、即ち、オフリーク電流、ゲートリーク電流及び G I D L リーク電流の各温度依存性について述べる。

【 0 0 5 3 】

オフリーク電流は温度依存性がある、インバータを構成するトランジスタの周囲温度が 1 °C 上昇すると、このトランジスタの閾値電位は 1 m V 下がるため、7 0 °C の温度差があれば、およそ 1 0 倍のオフリーク電流の変動がある。一方、ゲートリーク電流や G I D L リーク電流は温度依存性が小さい。従って、室温でこれら 3 者のリーク電流がおおよそ等しい電流値であれば、高温時ではオフリーク電流が支配的になるために、オフリーク電流を優先して削減する必要がある。逆に、低温時では、オフリーク電流が小値になって、ゲートリーク電流や G I D L リーク電流が支配的になるので、このゲートリーク電流及び G I D L リーク電流を優先して削減することが必要である。

【 0 0 5 4 】

そこで、本実施の形態では、図 5 に示すように、N W L 電圧ソース 1 による非選択ワード線 4 の負電位 V n g 設定、H P R 電圧ソース 2 による非選択ビット線 5 のプリチャージ電位 V p r 設定、及び O S N 電圧ソース 3 による非選択ソース線 6 の正電位 V s n 設定について、以下の通り設定している。即ち、図 5 では、

本実施の形態の S R A M が使用される携帯電話などの携帯機器では、通常動作モードと、このモードよりも S R A M に対するアクセス頻度が少ない（例えば 1 0 % 以下）の待機モードとの 2 種類のモードを有する関係から、このモード別に高温時と常温時に区別して、非選択ワード線 4 の負電位 V_{ng} 設定と、非選択ソース線 6 の正電位 V_{sn} 設定とを周囲温度に応じて変更している。具体的には、動作モード時及び待機モード時の双方で、非選択ワード線 4 の負電位 V_{ng} は、低温～室温時では $-1/4 V_{cc}$ に設定されるが、高温時では、 $-1/3 V_{cc}$ に設定されてその絶対値を大値に変更している。非選択ソース線 6 の正電位 V_{sn} も同様に、動作モード時及び待機モード時の双方で、低温～室温時では $1/4 V_{cc}$ に設定されるが、高温時では、 $1/3 V_{cc}$ へと大値に変更設定されている。つまり、高温時には、オフリーク電流が増大する状況であるので、非選択ワード線 4 の負電位 V_{ng} の絶対値を $|1/4 V_{cc}|$ から $|1/3 V_{cc}|$ へ増大変更して、オフリーク電流を制限する。また、高温時には、トランジスタの閾値電圧 V_{th} が下がって、S R A M の場合のラッチノードを構成するインバータのオーバドライブ量 ($V_{cc} - V_{th}$) が大きくなるので、非選択ソース線 6 の正電位 V_{sn} をその分高く設定して、 $1/4 V_{cc}$ から $1/3 V_{cc}$ に変更することができる。

【0055】

（第 2 の実施の形態）

次に、本発明の第 2 の実施の形態の半導体集積回路を図 1 0 に基いて説明する。本実施の形態は、前記第 1 の実施の形態で説明した S R A M でのワード線ドライバの内部構成に関する。

【0056】

図 1 0 において、1 5 は S R A M であって、その内部には、図示しないが、前記図 2 において既述した複数のメモリセル及びビット線を有すると共に、複数のワード線 4（同図では 1 本のみ図示）を有する。更に、S R A M 1 5 には、前記複数のワード線のうち何れか 1 本を選択するデコーダ（デコード回路）1 6 と、このデコーダ 1 6 の出力を受けて選択ワード線 4 を駆動するワード線ドライバ（ワード線駆動回路）1 7 とが備えられる。前記 S R A M 1 5 は前記第 1 の実施の

形態で説明したSRAMにより構成しても良い。

【0057】

また、同図において、20は第1のロジック回路、21は第2のロジック回路であって、半導体回路を構成する。第1のロジック回路20は高速動作として形成されたゲート酸化膜又は閾値調整不純物を持つ低閾値電圧 V_{t1} のトランジスタ T_{r1} を複数個備えている。この各トランジスタ T_{r1} は低閾値電圧 V_{t1} を持つので、高速動作するがリーク電流が比較的多い。一方、前記第2のロジック回路21は、通常動作（低速動作）用として形成されたゲート酸化膜又は閾値調整不純物を持つ高閾値電圧 V_{th} のトランジスタ T_{r2} を複数個備えている。この各トランジスタ T_{r2} は高閾値電圧 V_{th} を持つので、リーク電流が少ない。

【0058】

前記SRAM15、第1及び第2のロジック回路20、21は、前記第1の実施の形態と同様に、0.5V～1.2Vの低電圧電源から電源供給を受ける。

【0059】

そして、前記SRAM15のデコーダ16は、デコード信号 $a_{dec0} \sim a_{dec2}$ を受けるAND回路16aと、その後段に配置されたインバータ16bとからなるNAND回路を備える。前記インバータ16bは、電源電圧を受けるPチャネル型トランジスタ Q_{p1} と、Nチャネル型トランジスタ Q_{n1} とを有し、このNチャネル型トランジスタ Q_{n1} は、そのソース線が接地電位 V_{ss} に接続されていると共に、前記高速動作する第1のロジック回路20に備える低閾値電圧 V_{t1} のトランジスタ T_{r1} とほぼ同値の低閾値電圧 V_{t1} を持つ同種のトランジスタにより構成されている。

【0060】

一方、前記SRAM15のワード線ドライバ17は、前記デコーダ16のインバータ16bの出力を受けるインバータにより構成され、このインバータは、電源電圧を受けるPチャネル型トランジスタ Q_{p2} と、Nチャネル型トランジスタで構成されたプルダウントランジスタ Q_{ndng} とを有する。このプルダウントランジスタ Q_{ndng} は、そのソース線が例えば-0.2Vの負電位を持つ供給

線 V_{ng} に接続されている。前記負電位の供給線 V_{ng} は、例えば図 1 の NWL 電圧ソース 1 から負電位が供給される。従って、前記ワード線ドライバ 17 は、ワード線 4 の選択時には、電源電圧を P チャネル型トランジスタ Q_{p2} を介してワード線 4 に供給する一方、ワード線 4 の非選択時には、このワード線 4 をプルダウントランジスタ Q_{ndng} を介して負電位の供給線 V_{ng} に接続して、非選択ワード線 4 の電位を負電位にプルダウンする。

【 0 0 6 1 】

前記ワード線ドライバ 17 のプルダウントランジスタ Q_{ndng} は、前記低速動作のロジック回路 21 の高閾値電圧 V_{th} のトランジスタ T_{r2} とほぼ同値の高閾値電圧 V_{th} を持つ同種のトランジスタにより構成されている。

【 0 0 6 2 】

本実施の形態では、具体的に、デコーダ 16 のトランジスタ Q_n の低閾値電圧 V_{t1} は $V_{t1} = 0.25 \text{ V}$ 、ワード線ドライバ 17 のプルダウントランジスタ Q_{ndng} の高閾値電圧 V_{th} は $V_{th} = 0.45 \text{ V}$ 、負電位の供給線 V_{ng} の電位 (V_{ng} と記す) は $V_{ng} = -0.2 \text{ V}$ である。従って、プルダウントランジスタ Q_{ndng} の高閾値電圧 V_{th} ($= 0.45 \text{ V}$) は負電位の供給線 V_{ng} の電位の絶対値 ($= 0.2 \text{ V}$) 以上の値に設定される。更に、デコーダ 16 のトランジスタ Q_n とプルダウントランジスタ Q_{ndng} とは、そのオフ時のゲートソース間電圧 V_{gs} と閾値電圧との差 ($V_g - V_{ss} - V_{t1}$)、($V_g - V_{ng} - V_{th}$) は共に -0.25 V に設定されていて、この両トランジスタ Q_{n1} 、 Q_{ndng} のオフリーク電流値を等しくしている。

【 0 0 6 3 】

本実施の形態では、図 10 に示したワード線ドライバ 17 の内部構成は、ワード線 4 を負電位にプルダウンしない通常のワード線ドライバの構成と比較して、トランジスタ数及びレイアウト面積は全く同じに実現することが可能である。図 10 に示した構成を従来のワード線負電位設定ドライバが採用できなかった理由は、負の電位差分の閾値電圧の違いを持った 2 種類のトランジスタを用意する必要があったからである。即ち、従来において設定されるワード線の負電位は、接地電位に比較して少なくとも $-0.5 \text{ V} \sim -1.5 \text{ V}$ 以上の電位差である必要が

あったために、レベルシフト回路を用いて負電位のワード線プルダウン回路を実現することが一般的であり、その結果、トランジスタ数の増加及び面積の増加を招いていた。特に、このような従来技術は、混載されるSRAMやROM等のように、少量でデコーダ等の周辺回路を縮小してセル占有率で価値を出す必要のある半導体メモリには使用できない技術であった。

【0064】

しかし、本実施の形態では、電源電圧 V_{cc} が $0.5V \sim 1.2V$ の範囲にあって低いことが関連して、非選択ワード線4の必要な負電位も、例えば $V_{cc} = 1.0V$ のとき、 $-1/3 V_{cc}$ ($= \text{約} -0.3V$) $\sim -1/4 V_{cc}$ ($= -0.25V$) であって、半導体メモリ以外の半導体回路で使用することができないような高閾値電圧を持つトランジスタを用意しなくても、元々備える高速動作のロジック回路20に備える低閾値電圧 ($= 0.25V$) のトランジスタ T_{r1} と、低速動作のロジック回路21に備える高閾値電圧 ($= 0.45V$) のトランジスタ T_{r2} とを使用して、その電位差 ($= -0.2V$) を確保できるので、非選択ワード線4の負電位を $-0.2V$ に設定することが可能である。

【0065】

尚、本実施の形態では、低速動作のロジック回路21に備えるトランジスタ T_{r2} の高閾値電圧を $0.45V$ としたが、高電圧 ($1.5V \sim 3.3V$) 用の厚膜トランジスタの閾値電圧は $0.6V$ 程度も可能であるので、非選択ワード線4の負電位を $-0.35V$ に設定することも可能となる。勿論、トランジスタでの各種の閾値調整不純物の濃度を変更すれば、現実的な範囲で2種のトランジスタの閾値電圧間に任意の電位差を実現することが可能である。

【0066】

また、本実施の形態では、ワード線ドライバ17のプルダウントランジスタ Q_{ndng} は、低速動作のアナログ回路21に備える高閾値電圧 V_{th} のトランジスタ T_{r2} と同種の (ほぼ同値の高閾値電圧を持つ) トランジスタにより構成したが、その他、アナログ回路又はI/O回路の構成トランジスタとして高電圧用 ($1.5V \sim 3.3V$) の厚膜トランジスタが存在する場合には、この厚膜トランジスタの高閾値電圧とほぼ同値の高閾値電圧を持つトランジスタを用いて構

成しても良い。

【0067】

(ワード線ドライバの変形例)

図11は、前記図10に示したワード線ドライバ17の変形列を示す。

【0068】

同図のワード線ドライバ17'が図10のワード線ドライバ17と異なる点は、1個のプルダウントランジスタ Q_{ndng} だけでなく、これと並列に他のプルダウントランジスタ Q_{nds} を配置した点である。

【0069】

前記プルダウントランジスタ Q_{ndng} は、図10に示したプルダウントランジスタ Q_{ndng} と同様に、低速動作のアナログ回路21に備える高閾値電圧 V_{th} のトランジスタ Tr_2 とほぼ同値の高閾値電圧を持つトランジスタにより構成され、ソース線が負電位 V_{ng} ($= -0.2V$)の供給線に接続される。一方、他のプルダウントランジスタ Q_{nds} は、高速動作のアナログ回路20に備える低閾値電圧 V_{tl} のトランジスタ Tr_1 とほぼ同値の低閾値電圧 V_{tl} を持つトランジスタにより構成され、ソース線が接地線に接続される。

【0070】

従って、本変形例では、ワード線4を電源電位 V_{cc} からプルダウンする際には、先ず、プルダウントランジスタ Q_{nds} によりワード線4の電位は支配的に接地レベル V_{ss} にまでプルダウンされ、その後、数倍の時間をかけてワード線4の電位は他方のプルダウントランジスタ Q_{ndng} により支配的に負電位 V_{ng} ($= -0.2V$)レベルまでプルダウンされる。

【0071】

理想的には、両者のプルダウントランジスタ Q_{nds} 、 Q_{ndng} がオンになるタイミングに遅延を設けることが望ましいが、必ずしも遅延を設けなくても、この両プルダウントランジスタ間のサイズに違いを設けて、両プルダウントランジスタ間に電流能力の明らかな差を設けること、例えば一方のプルダウントランジスタ Q_{ndng} のゲート長を他方のプルダウントランジスタ Q_{nds} よりも大きくしたり、ゲート幅を他方のプルダウントランジスタ Q_{nds} よりも小幅に設

定することにより、前記の作用を奏することが可能である。

【0072】

(第3の実施の形態)

最後に、本発明の第3の実施の形態を説明する。本実施の形態は、半導体メモリ装置としてROMに適用したものである。

【0073】

ROMでは、一本のビット線に接続されるメモリセルの数が多いために、非選択ワード線とビット線との間のセルトランジスタのゲートリーク電流の影響を大きく受ける。既述の通り、非選択ワード線の負電位を深く（絶対値で大値に）すると、オフリーク電流は制限されるが、ビット線を選択的に電源電圧レベルにプリチャージしようとする、ビット線-ワード線間の電位差が電源電圧を越えて、ゲートリーク電流が大きくなる。その結果、プリチャージされたビット線の電位が、本来のソース線ではなくて、複数の非選択ワード線の負電位に引っ張られて大きく降下して、読み出しデータのセンス誤動作を招くことになる。また、ソース線の電位を高くし過ぎると、GIDLリーク電流によりドレイン部から基板へリーク電流が流れて、同様に、ビット線のプリチャージ電位を降下させることになる。

【0074】

以上から、ROMにおいても、図12に示すような電位関係を保つことが重要である。同図では、選択ビット線のプリチャージ電位、非選択ワード線及び選択ワード線の電位、非選択ソース線及び選択ソース線の電位は、既述した図9と同様である。非選択ビット線のプリチャージ電位は0Vである。

【0075】

【発明の効果】

以上説明したように、請求項1～13、20～22記載の発明の半導体メモリ装置によれば、オフリーク電流を有効に制限しつつ、ゲートリーク電流及びGIDLリーク電流も有効に制限したので、データとしての意味を持つセル電流とゲートリーク電流とを明確に区別できて、データの読み出しを所期通り速く及び正確に行うことができると共に、SRAMにおける”H”データを保持している記

憶ノードから基板へのリーク電流を制限できて、データの読み出しを所期通り良好に行うことができる。

【0076】

特に、請求項4記載の発明の半導体メモリ装置によれば、非選択ソース線の電位を非選択ワード線の電位の絶対値とほぼ等しい正電位に設定したので、オフリーク電流をより一層有効に制限することができる。

【0077】

更に、請求項9～12記載の発明の半導体メモリ装置によれば、非選択ワード線に供給する負電位や、非選択ソース線に供給する正電位を、半導体メモリ装置の周囲温度に応じて変更したので、その周囲温度の変化に拘わらず、オフリーク電流、ゲートリーク電流及びGIDLリーク電流を有効に制限することができる。

【0078】

加えて、請求項14～19記載の発明の半導体集積回路によれば、非選択ワード線に設定する負電位の絶対値を従来に比して小値に設定する場合に、ワード線駆動回路を従来のワード線駆動回路と比較して少ない個数のトランジスタで構成できて、レイアウト面積の縮小を図ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態の半導体メモリ装置の全体概略構成を示す図である。

【図2】

メモリセルからビット線へのデータ読み出しに対するゲートリーク電流、オフリーク電流及びGIDLリーク電流の影響を示す図である。

【図3】

ゲートリーク電流がNWL (negative-word-line) 電圧ソースの消費電力を増加させることを説明する図である。

【図4】

非選択ワード線のプルダウン電位、非選択ビット線のプリチャージ電位及び非

選択ソース線の正電位の設定と、ゲートリーク電流、オフリーク電流及びG I D Lリーク電流との関係を示す図である。

【図 5】

高温時と常温（低温～室温）時とにおけるNWL電圧ソース、H P R（H a r f - V c c P r e c h a r g e）電圧ソース及びO S N（O f f s e t - s o u r c e n o d e）電圧ソースの電圧設定を示す図である。

【図 6】

本発明の第 1 の実施の形態の半導体メモリ装置でのビット線、ワード線及びソース線の選択時及び非選択時での具体的な電圧設定を示す図である。

【図 7】

図 6 での選択ビット線のプリチャージ電圧の設定のみについて、ゲートリーク電流をより制限するように変更した電圧設定を示す図である。

【図 8】

ソース線の選択及び非選択をコラムデコード信号により行う説明図である。

【図 9】

ソース線の選択及び非選択をロウデコード信号により行う説明図である。

【図 1 0】

本発明の第 2 の実施の形態の半導体集積回路の全体構成を示す図である。

【図 1 1】

同実施の形態の半導体集積回路に備えるワード線ドライバの変形例を示す図である。

【図 1 2】

本発明の第 3 の実施の形態のROMでのビット線、ワード線及びソース線の選択時及び非選択時での具体的な電圧設定を示す図である。

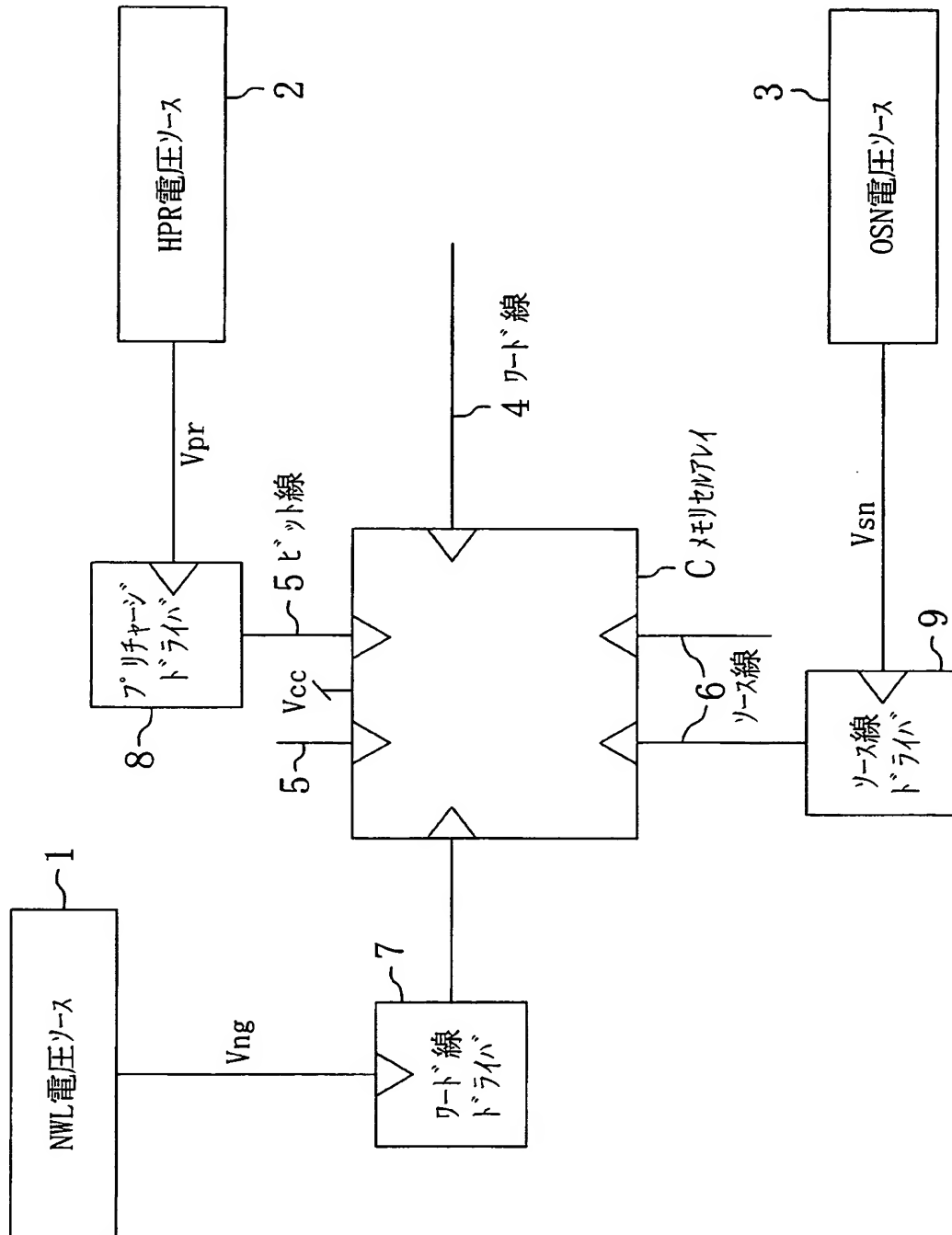
【符号の説明】

- | | |
|---|------------|
| 1 | NWL電位ソース |
| 2 | H P R電位ソース |
| 3 | O S N電位ソース |
| 4 | ワード線 |

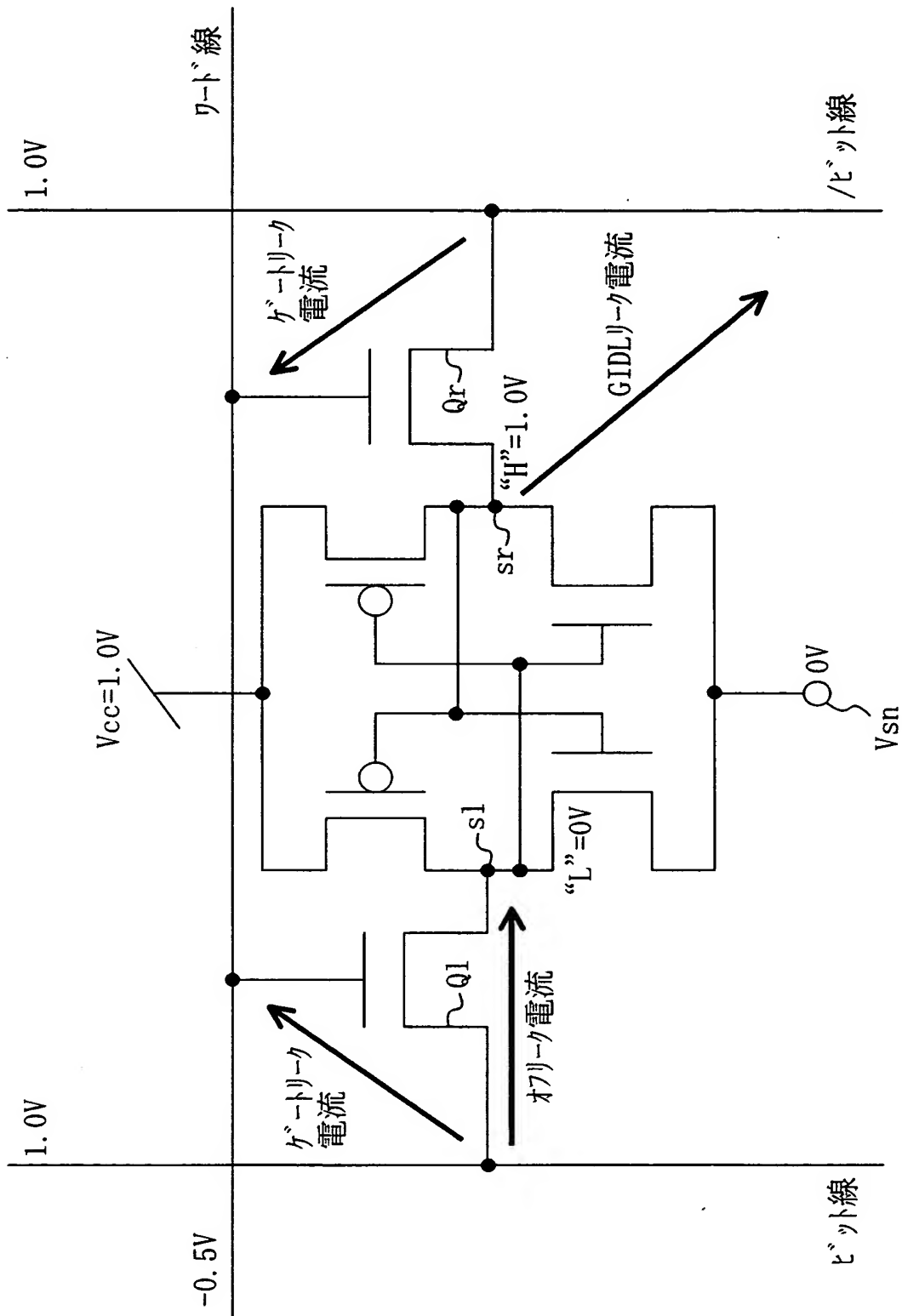
5	ビット線
6	ソース線
7、17、17'	ワード線ドライバ
8	プリチャージドライバ
9	ソース線ドライバ
15	S R A M
16	デコーダ
16a	A N D回路
16b	インバータ
20	高速動作用ロジック回路
21	低速動作用ロジック回路
T r 1	高速動作用ロジック回路に備える 低閾値電圧のトランジスタ
T r 2	低速動作用ロジック回路に備える 高閾値電圧のトランジスタ
Q p 1、Q p 2	Pチャネル型トランジスタ
Q n	Nチャネル型トランジスタ
Q n d n g、Q n d s	プルダウントランジスタ

【書類名】 図面

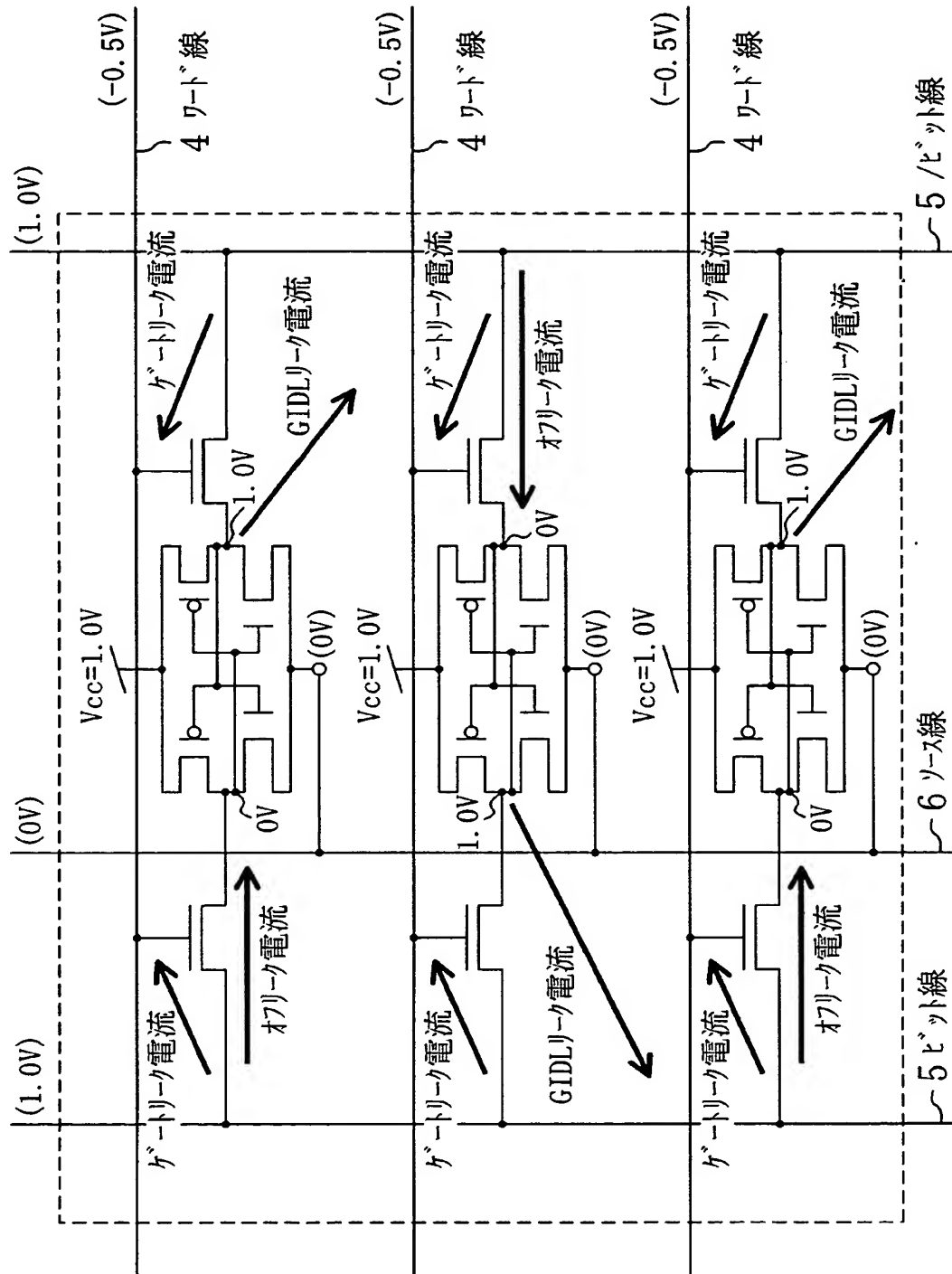
【図 1】



【図 2】



【図3】



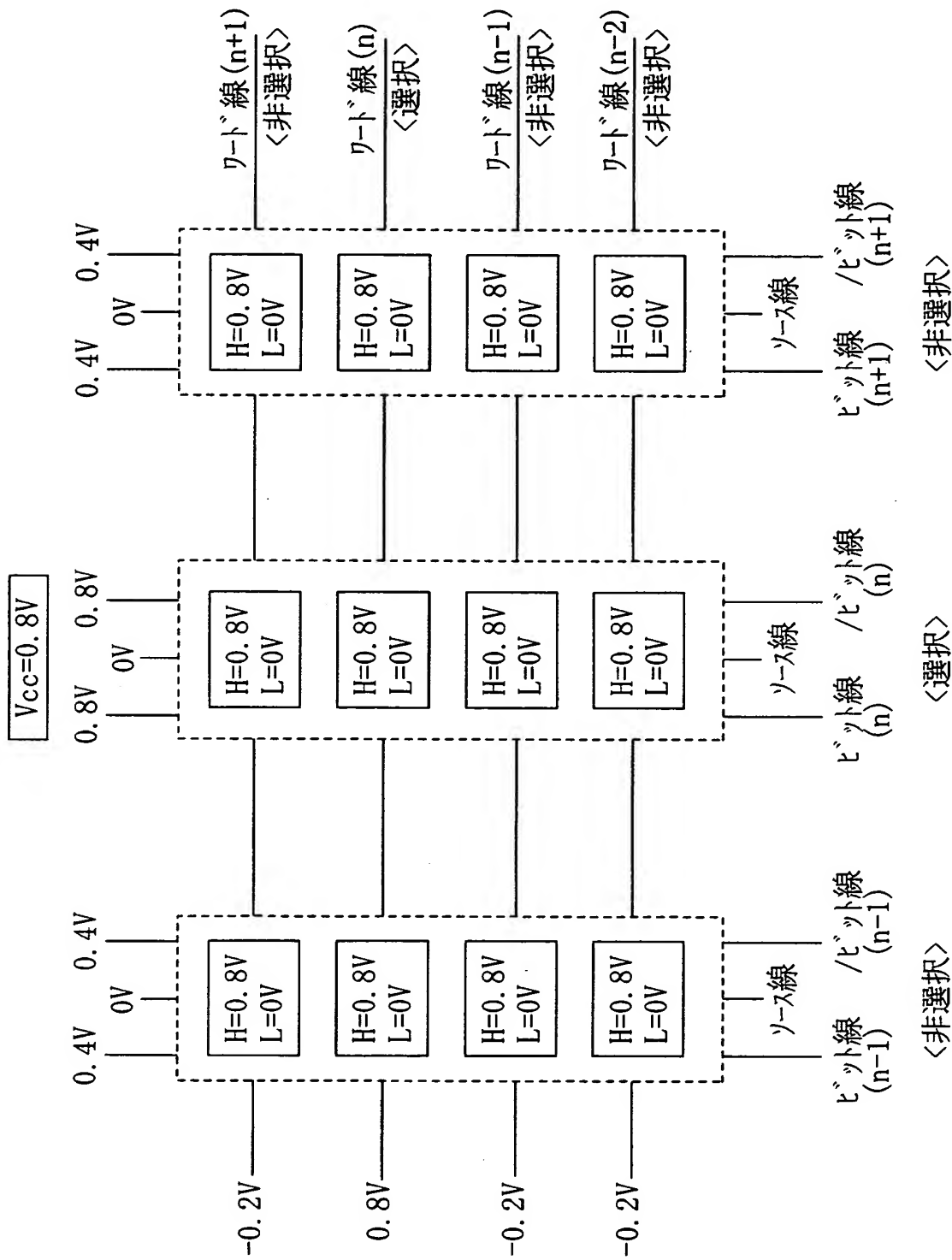
【図 4】

非選択 ワード線 (NWL) (電圧ソース)	オフリーク電流	大きな負電圧 ($-V_{cc} \sim -V_{cc}/2$)	中程度負電圧 ($-V_{cc}/3 \sim -V_{cc}/4$)	低程度負電圧 ($-V_{cc}/6 \sim 0V$)
	ゲートリーク電流	極大	中	小
	GIDLリーク電流	極大	中	小
非選択 ビット線 (HPR) (電圧ソース)	オフリーク電流	高電位プリチャージ ($V_{pre}=V_{cc}$)	中電位プリチャージ ($V_{pre}=V_{cc}/2$)	低電位プリチャージ ($V_{pre}=V_{cc}/3 \sim 0V$)
	ゲートリーク電流	中	小	中
	GIDLリーク電流	大	小	大
		大	小	大
非選択 ソース線 (OSN) (電圧ソース)	オフリーク電流	高電位ロケレベル ($V_{sn}=V_{cc}/2$)	中電位ロケレベル ($V_{sn}=V_{cc}/4$)	低電位ロケレベル ($V_{sn}=0V$)
	ゲートリーク電流	極小(データ保持不安定)	中	大
	GIDLリーク電流	無関係(データ保持不安定)	無関係	無関係
		極小(データ保持不安定)	中	小

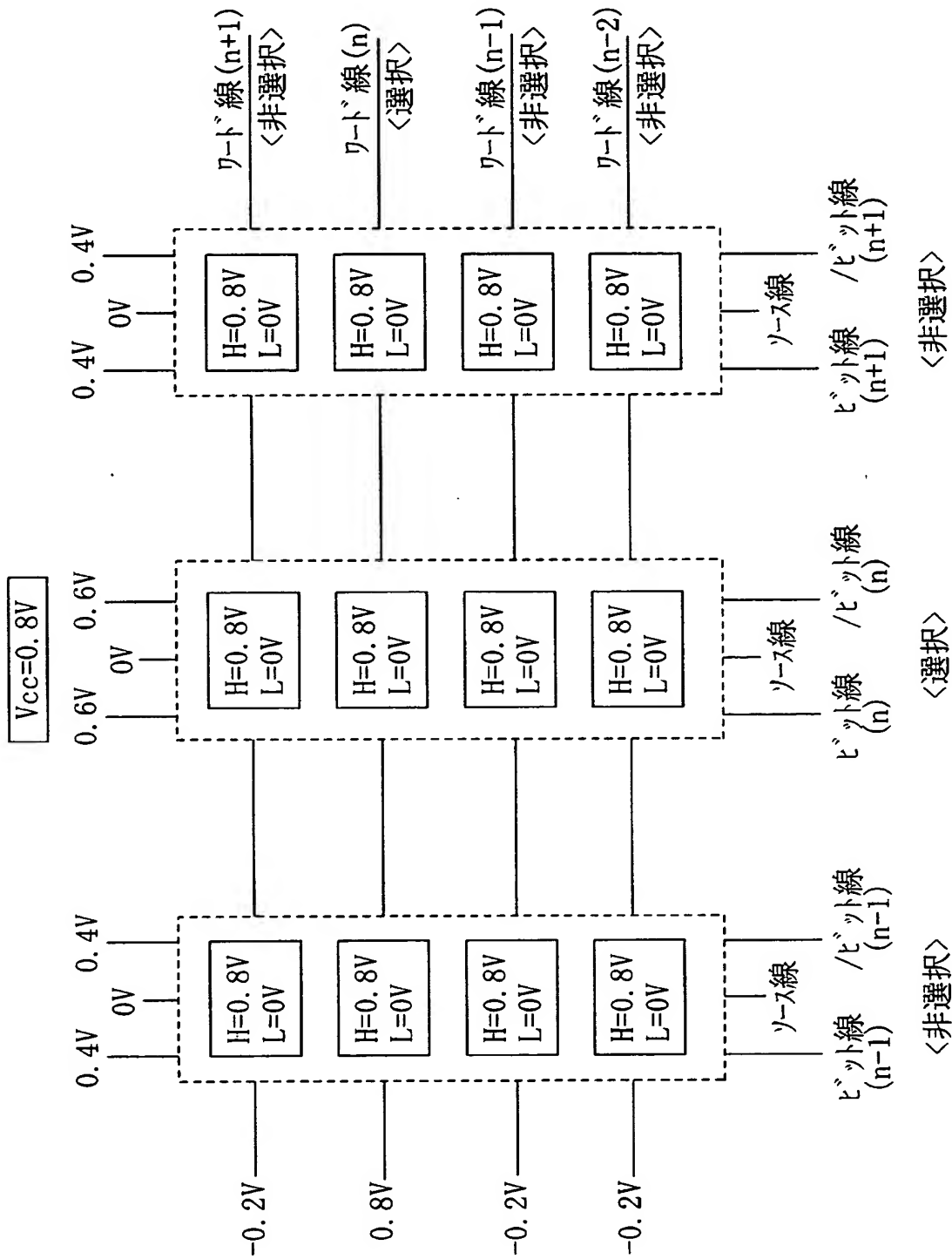
【図 5】

	状態	電圧ソース	選択	非選択
動作時	Mode-A (高温)	NWL 電圧ソース(ワート線)	V _{CC}	-1/3 V _{CC}
		HPR 電圧ソース(ビット線)	1/2 V _{CC} ~ V _{CC}	1/2 V _{CC}
		OSN 電圧ソース(ソース線)	V _{SS}	1/3 V _{CC}
	Mode-B (低温 ~ 室温)	NWL 電圧ソース(ワート線)	V _{CC}	-1/4 V _{CC}
		HPR 電圧ソース(ビット線)	1/2 V _{CC} ~ V _{CC}	1/2 V _{CC}
		OSN 電圧ソース(ソース線)	V _{SS}	1/4 V _{CC}
待機時	Mode-C (高温)	NWL 電圧ソース(ワート線)		-1/3 V _{CC}
		HPR 電圧ソース(ビット線)		floating
		OSN 電圧ソース(ソース線)		1/3 V _{CC}
	Mode-D (低温 ~ 室温)	NWL 電圧ソース(ワート線)		-1/4 V _{CC}
		HPR 電圧ソース(ビット線)		floating
		OSN 電圧ソース(ソース線)		1/4 V _{CC}

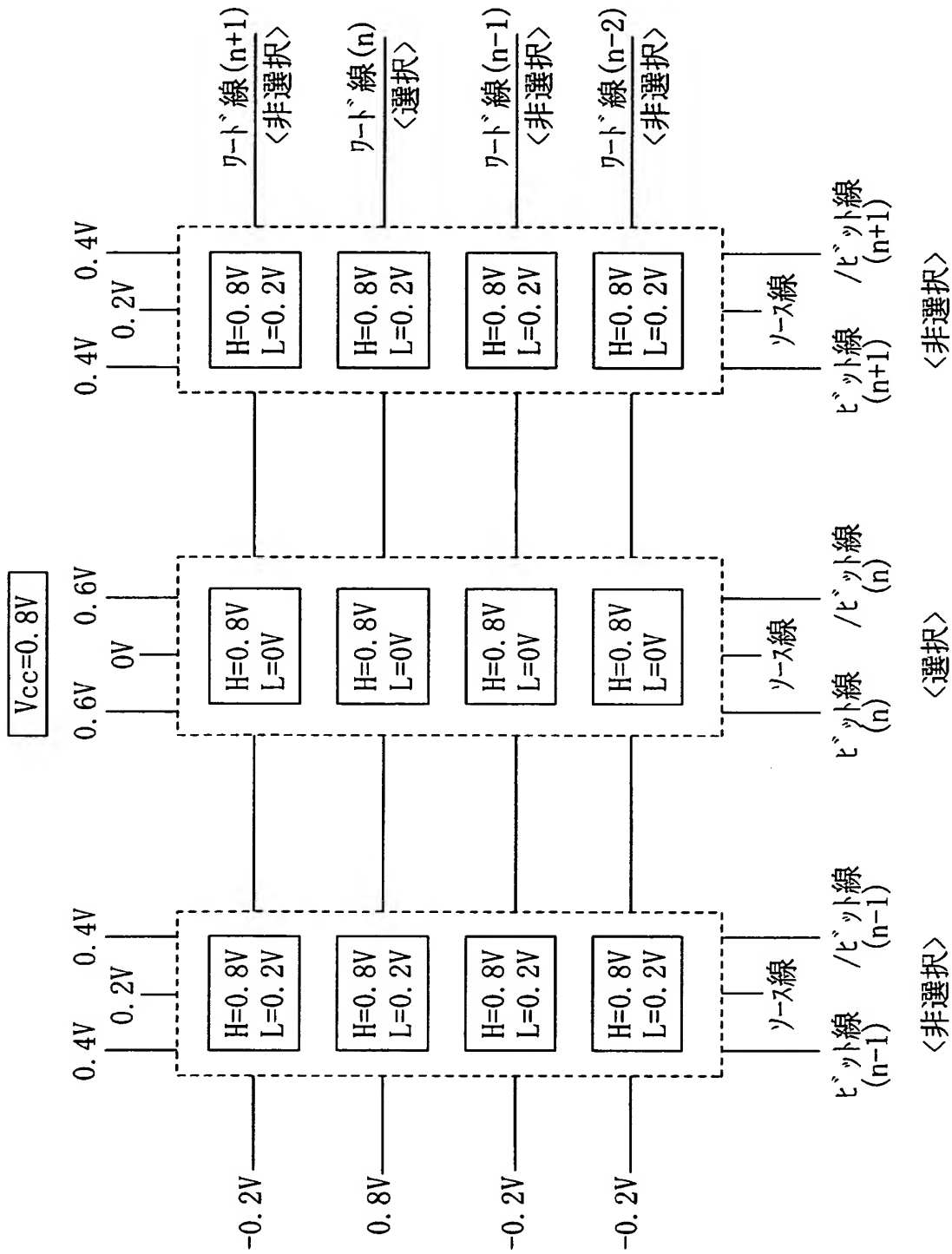
【図 6】



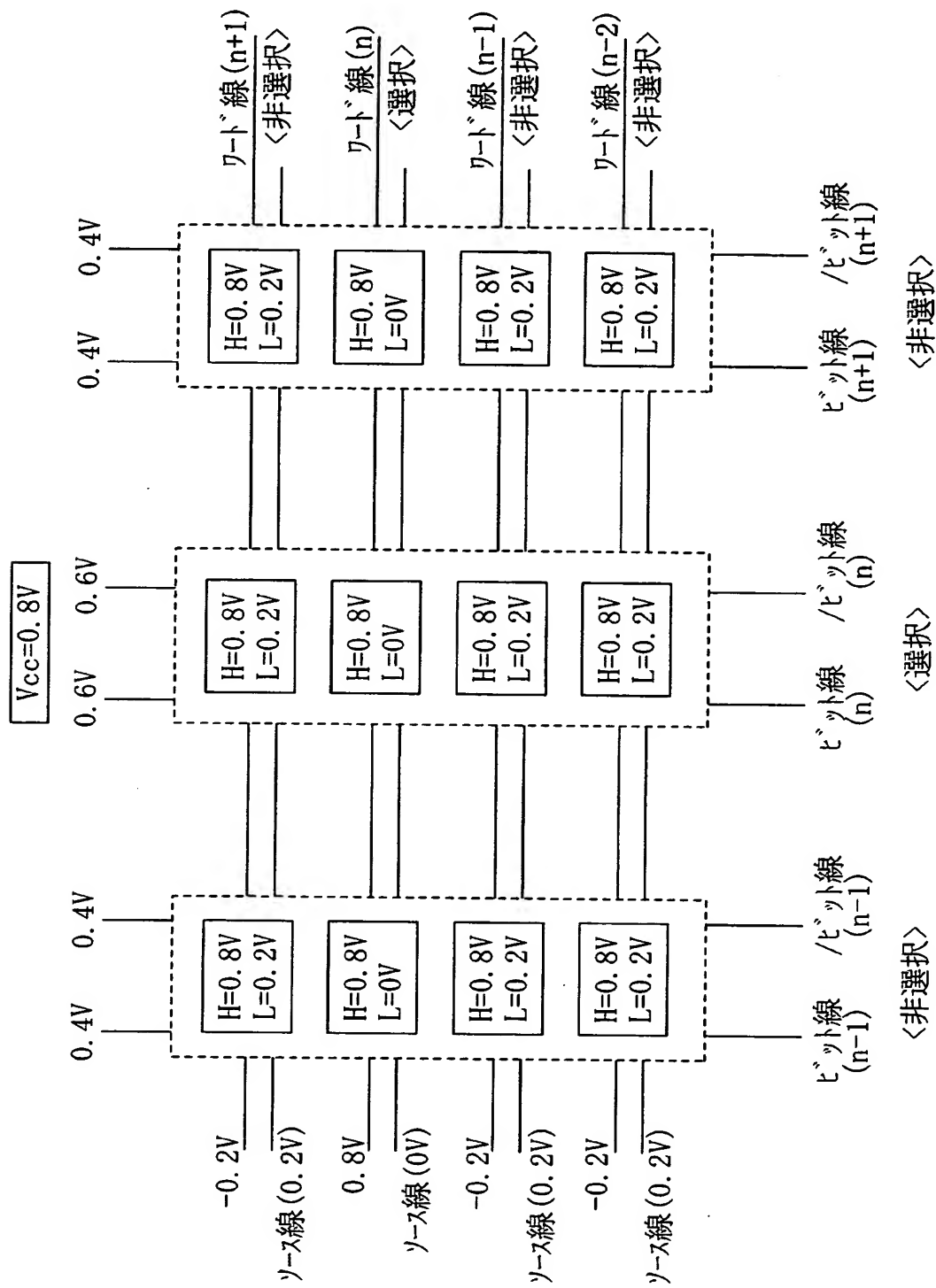
【図 7】



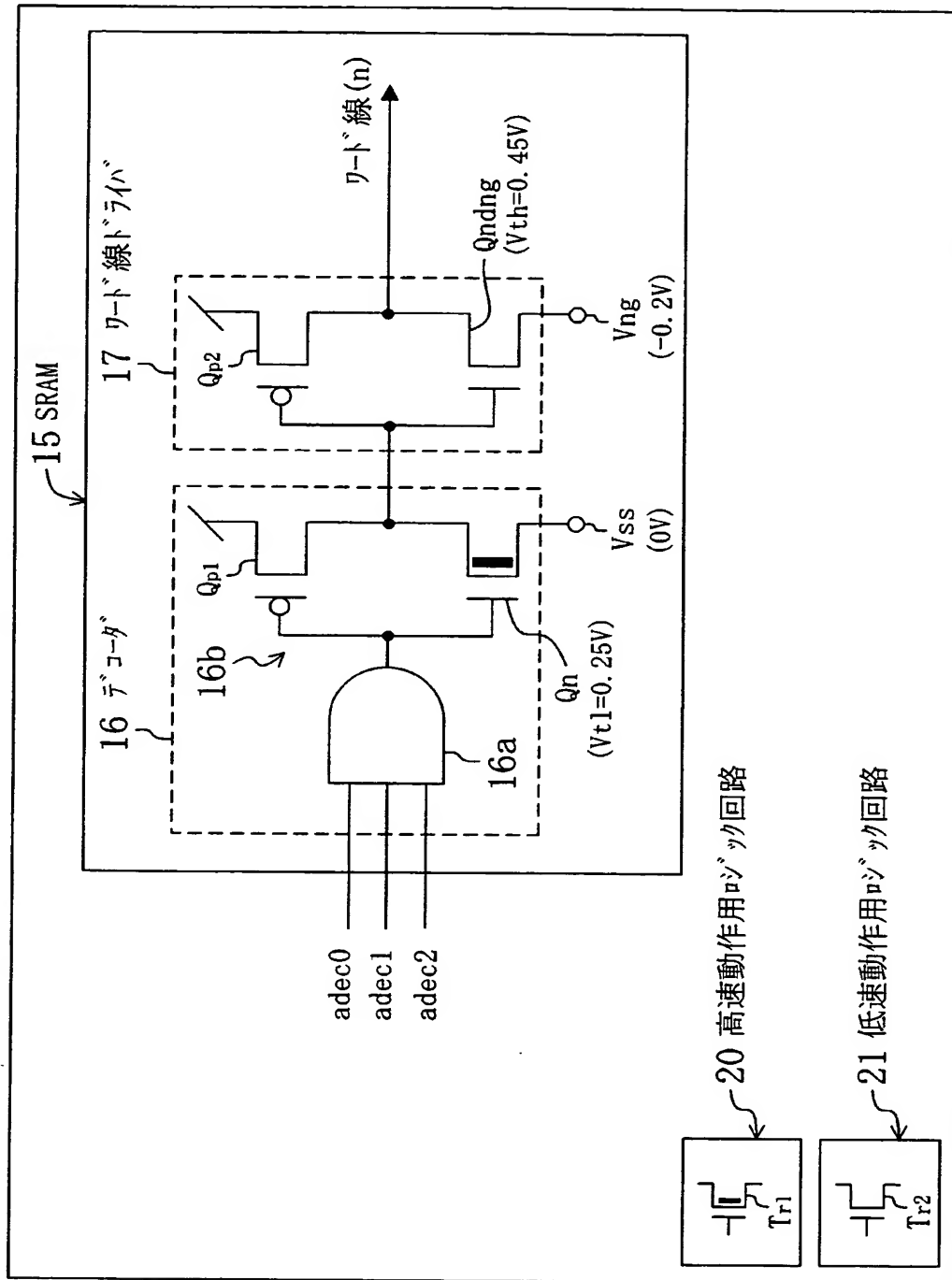
【図 8】



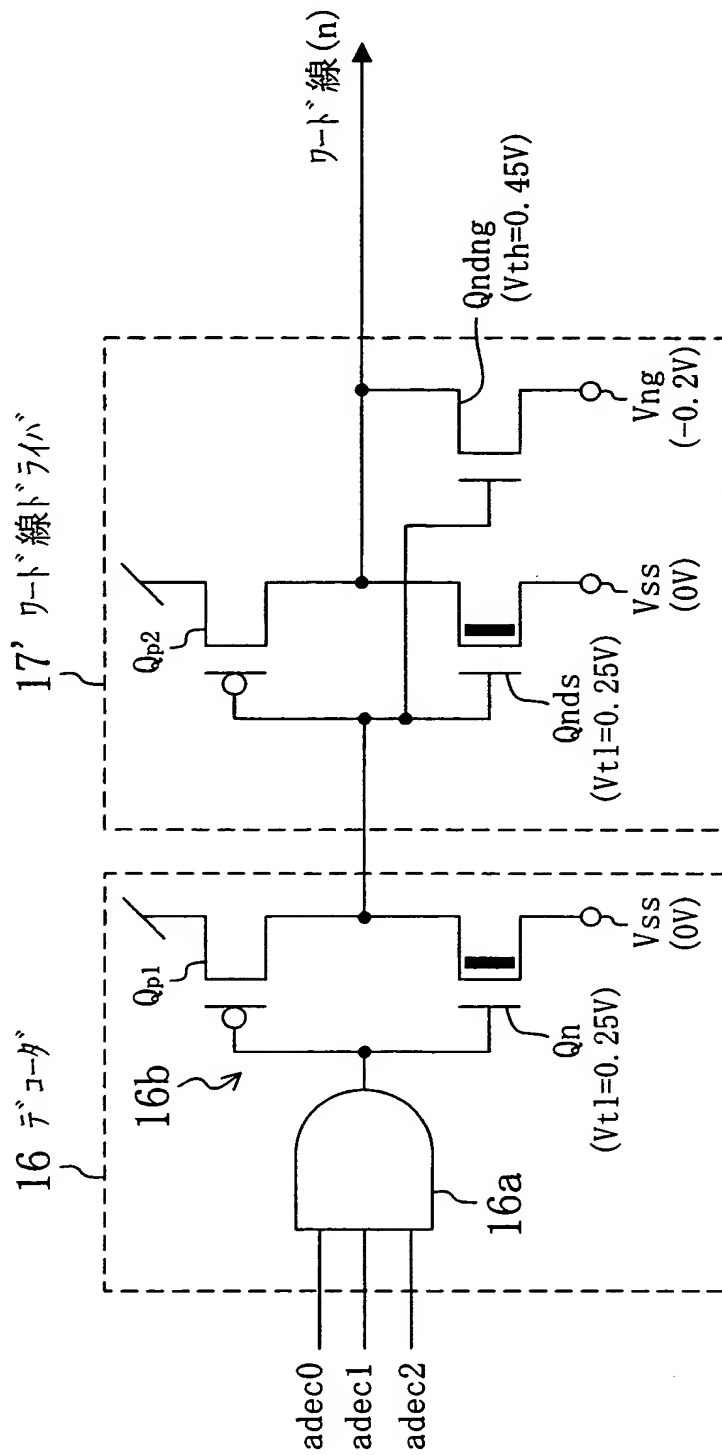
【図 9】



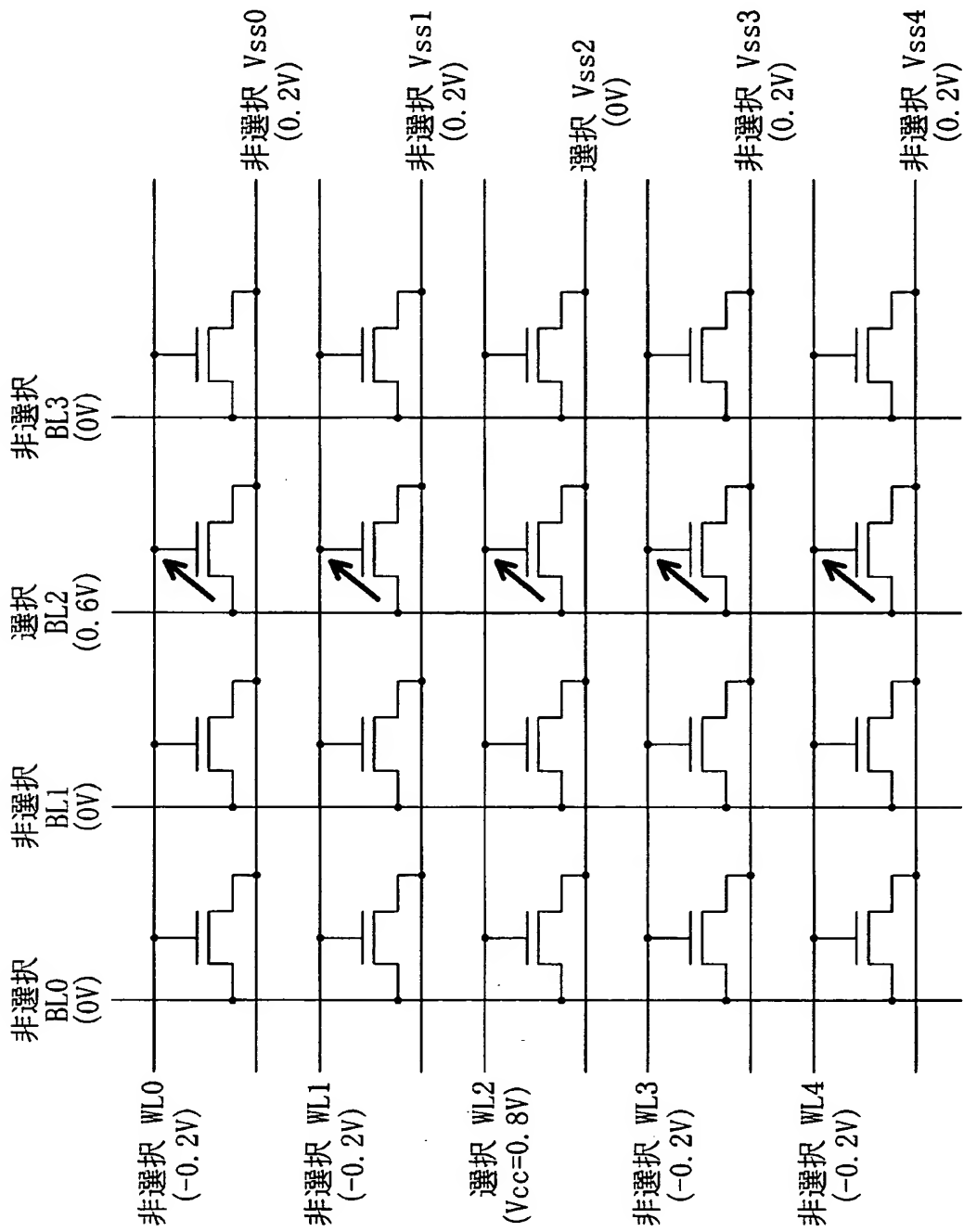
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 半導体メモリ装置において、複数のメモリセルのオフリーク電流を有効に制限しながら、ゲートリーク電流及びGIDL電流を効果的に制限する。

【解決手段】 複数のビット線5のうち非選択ビット線のプリチャージ電位は、HPR電圧ソース2により、メモリセルに記憶されるデータのハイ側の電位を決定する電源電圧 V_{cc} ($0.5V \sim 1.2V$ の範囲内の低電圧、例えば $0.8V$)よりも低い電位 (例えば $1/2 V_{cc} = 0.4V$) に設定される。複数のワード線4のうち非選択ワード線の電位は、NWL電圧ソース1により、所定の負電位 (例えば $-1/4 V_{cc} = -0.2V$) に設定される。前記非選択ビット線のプリチャージ電位 ($0.4V$) と非選択ワード線の負電位 ($-0.2V$) の絶対値との合計値は、電源電圧 V_{cc} ($0.8V$) 未満に設定される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社